

基于过零检测的 TIADC 时钟失配校准算法

王晓蕾,王玉莹,陈红梅,尹勇生

(合肥工业大学 微电子设计研究所,安徽 合肥 230009)

摘 要: 针对时间交织模数转换器(Time-Interleaved Analog-to-Digital Converter, TIADC)的时钟失配设计了一种基于过零检测的后台校准算法.该算法通过比较通道间采样值过零的个数判断时钟误差的大小,再利用提取到的误差大小控制可变延时的延时大小对时钟误差进行校正.通过 MATLAB 建立 8 位五通道 TIADC 为模型对算法进行验证,当 $f_{in}/f_s=0.461$ 时,仿真结果表明,经本算法校准后 ENOB 从 5.16 位提升到 7.88 位,SNR 从 32.8 dB 提高到了 49.4 dB,从而验证了该校准算法的正确性和有效性.此外,该校准算法对输入信号的频率没有严格的要求,且可以扩展到任意通道数.

关键词: TIADC;后台校准算法;过零检测;时钟失配

中图分类号: TN792

文献标识码: A

文章编号: 1000-7180(2016)05-0072-04

Background Timing-Skew Calibration Algorithm for the TIADC Based on Zero-Crossing Detection

WANG Xiao-lei, WANG Yu-ying, CHEN Hong-mei, YIN Yong-sheng

(Institute of VLSI Design, Hefei University of Technology, Hefei 230009, China)

Abstract: A background calibration technique, which is based on zero-crossing detection method, for clock mismatch in Time-Interleaved Analog-to-Digital Converter (TIADC) is proposed. The error is achieved by comparing the amount of zero-crossing in channels to control the delay for the purpose of timing skew calibration. The algorithm is verified by an 8 bits 5-channels TI ADC MATLAB model. The simulation result shows that the ENOB rises from 5.16 bits to 7.88 bits, and the SNR rises from 32.8 dB to 49.4 dB at the $f_{in}/f_s=0.461$, which means the correctness and effectiveness of the algorithm is validated. The presented calibration in this paper has no restriction on the input signal frequency, and can be extended to arbitrary number of channels.

Key words: TIADC; background calibration algorithm; zero-crossing detection; timing skew

1 引言

时间交织 ADC (Time-Interleaved ADC, TIADC) 的结构由美国人 Black W C 与 Hodges D A 首次提出^[1], 这种结构的特点是在维持子通道 ADC 的转换精度不变的情况下, 通过多通道并行采样的结构成倍的提高 ADC 的采样速率. 对于 M 个通道的时间交织 ADC 来说, 该系统理论上的采样率为子通道的 M 倍. 但是实际中存在固有的缺点, 主要包括偏置失配 (offset mismatch)、增益失配

(gain mismatch) 和采样时刻偏差 (time-skew error). 其中通道间采样时钟失配误差因无法通过输出信号的特点直接判断出时间误差的大小所以校准比较困难, 也是目前 TIADC 校准的焦点^[2].

近年来, 很多科研机构 and 高校都对通道间时钟失配误差的校准技术展开了研究. 例如叶凡等人提出了一种基于 LMS-FIR 自适应滤波及内插的时间交叉 ADC 数字后台校正方法^[3], 但是由于插值滤波器的存在, TIADC 输入信号的频率必须满足单通道奈奎斯特频率, 限制了输入信号的带宽. Lee Z M

收稿日期: 2015-08-20; **修回日期:** 2015-09-17

基金项目: 安徽省科技攻关项目 (JZ2014AKKG0430); 中央高校基本科研业务费专项资金资助项目 (2014HGCH0010)

等人提到的单一前置 SHA 的校准方法避免了对通道间时钟误差的校准^[4],而且事实上它并没有真正将采样率提高,反而是将子通道的采样率降低为了 f_s/m (m 为通道数). 还有 Hegong Wei 等人提出的一种基于相关运算的时钟误差校准算法^[5]和 Jamal S 等人提出的基于相关运算对采样时间失配进行校准的算法^[6]都不能扩展到任意通道数的交织情况.

本文针对通道间采样时钟失配误差,在五通道 TIADC 的基础上介绍一种基于过零检测原理的后台校准算法.

2 TIADC 采样时钟失配和过零检测原理

TIADC 结构是将单通道的 ADC 并行放置多个通道中,通过控制各个通道的时钟,按照一定的时间延时,依次控制不同通道的 ADC 工作,将 ADC 的速度成倍的提高.

2.1 TIADC 采样时钟失配

理想的情况下,相邻两个子通道之间采样时间间隔为 T_s ,且第 $j+1$ 通道对应 φ_{j+1} 时刻的采样值理想情况时为 $x_{j+1}[k]$,如图 1 所示.

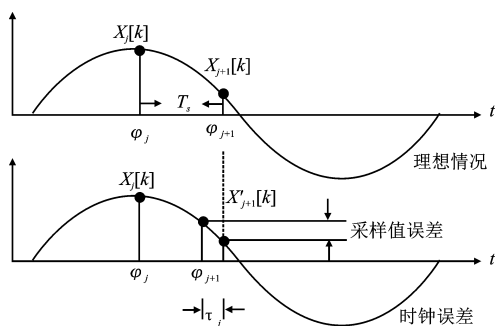


图1 时钟误差引起的采样错误

对于 M 通道的时间交织 ADC,输入信号通过各子 ADC 通道的转换结果在数字域按照同样的时间交叉方式合成得到 TIADC 的最终输出的数据序列 $x_j[k]$ 可以表示为式(1):

$$x_j[k] = x(t + (j-1) \times T_s + k \times MT_s + \tau_j) \quad (1)$$

式中, $k=0,1,2,\dots,M$; $j=1,2,\dots,M$; T_s 是时间交织 ADC 的采样周期,系统的采样频率就为 $f_s = 1/T_s$,单个子通道的模数转换器的时钟周期就为 $T_c = M \times T_s$, t 为转换器工作的初始时间. 那么此时对应于第 j 通道,对输入信号进行采样,得到的采样值为 $x_j[0]$. τ_j 是各个通道独立存在的时钟失调,如果 $\tau_j \neq \tau_{j+1}$ 就说明第 j 通道和第 $j+1$ 通道之间发生了采样时钟失配^[7]. 当存在采样时钟失配为 τ_j 时,此时

第 $j+1$ 通道的采样值 $x'_{j+1}[k]$ 的与理想采样值 $x_{j+1}[k]$ 就会出现偏差,在信号重建的时候就会引起信号的相位和幅值变化,进而影响了模数转换器的信噪比.

2.2 过零检测原理

以五相时钟并行交替采样为例,对于连续的模拟信号,其中 $x_j[k]$ 表示的是第 j 通道的第 $k+1$ 次采样得到的数据,当 $x_j[k]$ 与 $x_{j+1}[k]$ 值的正负发生变化时,就定义为在通道 j 和通道 $j+1$ 之间发生了一次零点的穿越. 从图 2 中可以看出,零点穿越发生在 $x_1[0]$ 和 $x_2[0]$ 之间,另一个零点的穿越发生在 $x_2[1]$ 和 $x_3[1]$ 之间. 即当 $x_j[k] \times x_{j+1}[k] < 0$ 时,零点穿越就发生了.

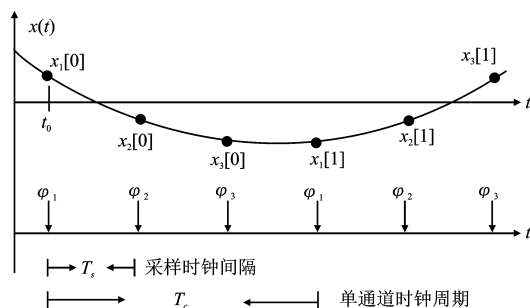
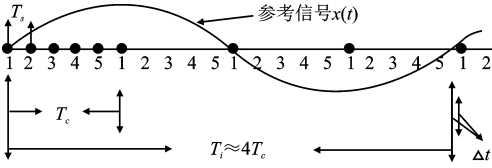


图2 零点检测原理图

连续的参考信号 $x(t)$ 通过采样保持电路采样后输出的是离散的 $x_j[k]$ 信号. 设输入的参考信号 $x(t) = \sin(2\pi f_r t)$, 参考信号的频率 f_r 和单通道时钟频率 f_c 关系为 $f_r / f_c = p/q$ (p, q 为两个正整数, $p \neq q$). 以 $f_r / f_c \approx 1/4$ 为例,五相时钟采样过程如图 3 所示. 图 3 说明 4 倍的单通道时钟周期 ($4T_c$) 与参考信号周期 ($T_r = T_c p/q$) 之间的差值 $\Delta r = |4T_c - T_r|$. 首先, Δr 不能为零 (即 f_r 不能完全等于 4 倍的 f_c). 如果 Δr 等于零可能会出现两种错误: (1) 如 $f_r / f_c = 1/4$ 时,参考信号一个周期中的两个零点都落在了时钟 1 上,因此不管时钟 2,3,4,5 有多少误差都不会产生一定时间内各通道过零个数不相等的现象也就不能检测出误差的大小; (2) 如 $f_r / f_c = 1/5$ ($\Delta r = |5T_c - T_r|$) 时,在没有误差情况下零点只会出现在两固定的通道间,因此就不会产生一定时间内各通道过零个数相等的现象. 所以当 Δr 为零时所谓的过零检测检测算法就不正确. 其次, Δr 不等于零时,为了能在时钟发生的时钟误差影响了系统的性能时检测出来相邻通道间发生零点穿越个数的变化,需要 Δr 的值小于等于系统允许的最大时钟抖动,从而再由 Δr 与 p, q 关系控制 p, q 的取值,最终选择合适的参考信号的频率.

图3 $f_r / f_c \approx 1/4$ 零点检测

3 基于过零检测的校准算法

3.1 时钟误差校准结构

图4表示时钟误差校准技术整体结构,多相时钟是由延时大小相同的 U_j (其中 $1 \leq j \leq M$, M 表示通道数),然后经过可控制的可变延时 B_j 对时钟误差进行校正产生多相时钟 φ_j . φ_j 分别驱动相应的采样保持电路(S/H)对参考信号 $X(t)$ 采样得到 $x_j[k]$. $x_1[k]$ 到 $x_M[k]$ 这些采样序列通过时钟误差估计模块估计各通道相对参考通道1的时钟误差大小,得到数字量 $T_j[k]$ (其中以通道1的时钟为参考时钟,则 $T_1[k] = 0$)为 j 通道的相对误差,再由 $T_j[k]$ 控制可变延时模块 B_j 的延时大小来补偿误差,从而校正时钟误差. 时钟误差估计模块是通过过零检测对时钟误差进行估计的. 在这种误差估计技术主要是通过各通道的采样值和零电平比较后再经过逻辑运算来估计误差值的,所以对参考信号的频率要求不会非常的严格,提高了这种校准技术的可行性^[8].

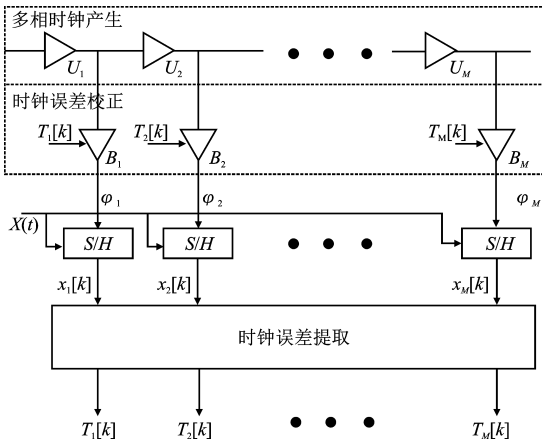


图4 时钟误差校准结构

3.2 时钟误差提取结构

图4中由多相时钟采样输出的信号 $x_j[k]$ 输入时钟误差提取结构如图5所示.

时钟误差提取结构工作过程如下:相邻两个通道采样得到的采样值 $x_j[k]$ 和 $x_{j+1}[k]$ 分别经过零点检测电路的检测得到 $Z_j[k]$;将各通道得到的

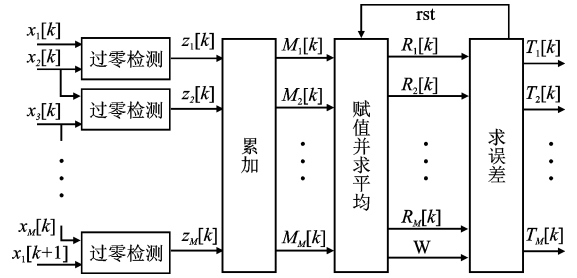


图5 时钟误差提取结构

$Z_j[k]$ 累加得到相应的累加值 $M_j[k]$;然后将 $M_j[k]$ 在特定的时候赋值给寄存器 $R_j[k]$,在所有寄存器 $R_j[k]$ 的值都不为零的情况下对 $R_j[k]$ 的平均值 W ;最后经过加减乘除和取整等运算得到各通道相应的相对误差值 $T_j[k]$.

3.2.1 过零检测模块

理想情况下,过零检测过程是相邻两个通道采样得到的数据 $x_j[k]$, $x_{j+1}[k]$ 分别与0电平比较,然后经过逻辑异或得到 $Z_j[k]$, $Z_j[k]$ 的值是0或1.即当 $x_j[k]$, $x_{j+1}[k]$ 的正负号相反时过零且 $Z_j[k] = 1$,否则不过零且 $Z_j[k] = 0$.但是考虑到比较器的失调会对检测结果产生影响,所以在两个比较器后面分别加了一个高通滤波器,如图6所示.这样比较器输出的 $c_j[k]$ 和 $c_{j+1}[k]$ 经过滤波器得到的 $r_j[k]$ 与 $r_{j+1}[k]$ 的值就为 $\{-1, 0, 1\}$.最后经过逻辑运算得到过零检测值 $Z_j[k]$,当 $r_j[k] \times r_{j+1}[k] \leq 0$ 时 $Z_j[k]$ 的值为1,否则 $Z_j[k]$ 的值为0.即如果 $r_j[k]$ 与 $r_{j+1}[k]$ 都为-1或都为1的时 $Z_j[k]$ 的值为0,反之则为1.

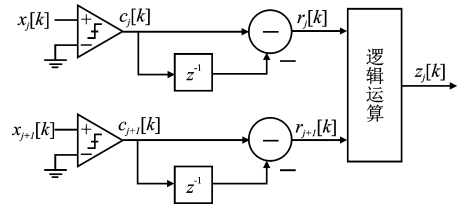


图6 过零检测模块结构

3.2.2 累加模块

通过过零检测模块得到 $Z_j[k]$, $Z_j[k]$ 累加的值为 $P_j[k]$,当 $P_{j+1}[k] = 1$ 时, $P_j[k]$ 一次连续累加完成并将 $P_j[k]$ 累加后的值付给 $M_j[k]$,当 $P_{j+1}[k] = 1$ 时, $P_j[k]$ 置零,如图7所示.与其他通道累加过程不同的是第 M 通道一次连续累加完成和得到 $M_M[k]$ 的值是由 $P_1[k]$ 控制的,控制方法与上述方法一样.

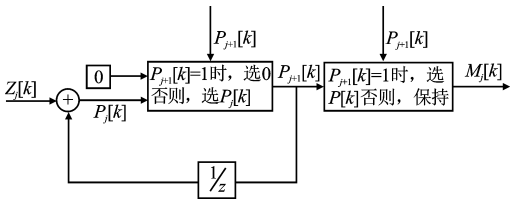


图 7 累加模块结构

3.2.3 赋值并求平均模块

当 $M_j[k]$ 存在不等于零值后将 $M_{j+1}[k]$ 的值赋值给寄存器 $R_{j+1}[k]$ 并保持,直到复位信号 rst 到来后将 $R_{j+1}[k]$ 清零.这种做法的意义是避免最开始产生的 $M_{j+1}[k]$ 的值不等于通道 $j+1$ 和通道 $j+2$ 之间产生的一个完整的连续过零累加值.特别注意的是通道 1 的 $R_1[k]$ 是由 $M_M[k]$ 和复位信号 res 以同样的方法控制.将 $R_j[k]$ 累加起来,再除以通道数 M 求出平均值 W .

3.2.4 求延时模块

当 $R_j[k]$ 都不等于零的时,求误差模块工作.以五通道为例(即 $M=5$),通道 1 的时钟为参考时钟,则 $T_1[k]=0$; $R_1[k]$ 减去 W 得到的值再乘以 N 取整得到 $t_1[k]$, $t_1[k]$ 累加得到时钟 2 的误差值 $T_2[k]$; $R_2[k]$ 减去 W 得到的值乘以 N 取整再加上 $t_1[k]$ 得到 $t_2[k]$, $t_2[k]$ 累加就是时钟 3 的误差值 $T_3[k]$; $R_5[k]$ 减去 W 得到的值取反再乘以 N 取整得到 $t_5[k]$, $t_5[k]$ 累加就是时钟 5 的误差值 $T_5[k]$; $R_4[k]$ 减去 W 得到的值取反后乘以 N 然后取整再加上 $t_5[k]$ 得到 $t_4[k]$, $t_4[k]$ 累加就是时钟 4 的误差值 $T_4[k]$.那么 N 的值为多少呢?假设系统时钟误差补偿的步长为 μ_t ,采样时钟周期为 T_s , W 为各通道过零数的平均值,则 $N=T_s/(\mu_t \times W)$.另外,当误差提取估计完成时 $t_j[k]$ 通过或运算求出平均模块中的复位信号 $\text{res}=1$.

3.2.5 时钟误差补偿

图 4 时钟误差校准结构中的时钟误差补偿模块是由时钟误差提取模块相对误差 $T_j[k]$ 的输出经过译码后控制图 8 中可变延时 B_j 对时钟误差进行校正.图 8 中可变延时 B_j 会通过 $T_j[k]$ 选择相应一个开关闭合来改变 COMS 管 M_4 栅端的电压,从而调整 COMS 管 M_2 栅端电流,进而控制由 COMS 管 M_2 和 M_3 组成的反相器从输入到输出延时大小的变化,校正时钟误差.

4 仿真结果

为了验证本校准算法的正确性和有效性,以

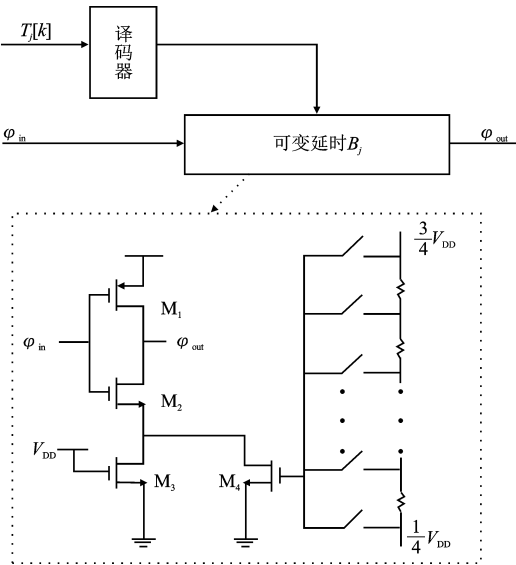


图 8 时钟误差补偿结构

MATLAB 为平台搭建了一个 8 Bit 的五通道 TIADC 系统行为级模型.令参考信号频率为 f_r ,输入信号频率为 f_{in} .下面以 $f_r/f_c=65529/2^{18} \approx 1/4$, $f_{in}/f_s=0.461$ 为例,并在模型中为各通道添加不同的时钟失配误差模型,然后进行仿真验证.

以通道 1 的时钟为参考时钟,当在时钟 2,3,4,5 上分别加 $43\%T_s$, $11\%T_s$, $36\%T_s$, $25\%T_s$ 的误差,误差补偿步长 $\mu_t=0.2\text{ ps}$ 时,仿真结果如表 1 所示.

表 1 模型误差提取值和所加误差对比结果

通道	1	2	3	4	5
时钟相对 T_s 误差 /%	00	43	12	36	25
$T_j[k]$	00	43	12	35	24
校正后相对 T_s 误差 /%	00	00	00	01	01

结合表 1,可以看出 $T_j[k]$ 可能不是完全和时钟误差成比例关系,但误差已经满足系统所允许的误差范围.此外,该算法通过多次仿真验证,本算法的时钟误差收敛速度在 $1.57 \times 10^4 \times T_c$ 和 $2.5 \times 10^4 \times T_c$ 之间,较参考文献[8] 相比收敛速度有着明显的提高.

5 结束语

本文介绍了一种基于过零检测的 TIADC 采样时钟失配的后台校准算法,其核心思想是根据在一定时间内通过检测相邻两通道间的过零个数的多少来判断时钟误差的大小.本文提出的采样时钟失配的校准算法对输入信号的频率没有苛刻的要求,

(下转第 79 页)

5 结束语

本文提出了一种局部近邻结构保持的岭回归降维方法. 利用非负最小二乘法来构造图结构, 非负约束条件可以更加合理的解释模型结果, 近邻结构是通过图形的正则化来保持. 我们还设计了一种有效的模型选择方法用于最优参数估计, 使得计算仅需要在一个较小的矩阵上即可完成. 在几类公测库上的实验结果表明, 提出的方法在分类精度方面相比于同类方法有所提高.

参考文献:

- [1] Jolliffe I. Principal component analysis[M]. New York: John Wiley & Sons, 2002.
- [2] Fukunaga K. Introduction to statistical pattern recognition[M]. New York: Academic press, 2013.
- [3] Tenenbaum J B, De Silva V, Langford J C. A global geometric framework for nonlinear dimensionality reduction[J]. Science, 2000, 290(5500): 2319-2323.
- [4] Belkin M, Niyogi P. Laplacian eigenmaps and spectral techniques for embedding and clustering[C] // Proceedings of NIPS01. Vancouver, 2001: 585-591.
- [5] Roweis S T, Saul L K. Nonlinear dimensionality re-

duction by locally linear embedding[J]. Science, 2000, 290(5500): 2323-2326.

- [6] Niyogi X. Locality preserving projections[C] // Proceedings of NIPS03. Vancouver, 2003: 153-160.
- [7] He X, Cai D, Yan S, et al. Neighborhood preserving embedding[C] // Proceedings of ICCV'05. Beijing, 2005: 1208-1213.
- [8] Ye J. Least squares linear discriminant analysis[C] // Proceedings of ICML07. Corvallis, 2007: 1087-1093.
- [9] Cai D, He X, Han J. Spectral regression: A unified approach for sparse subspace learning[C] // Proceedings of ICDM07, Omaha, 2007: 73-82.
- [10] Jin Z, Yang J Y, Hu Z S, et al. Face recognition based on the uncorrelated discriminant transformation [J]. Pattern recognition, 2001, 34(7): 1405-1416.
- [11] Ye J, Xiong T. Computational and theoretical analysis of null space and orthogonal linear discriminant analysis[J]. The Journal of Machine Learning Research, 2006(7): 1183-1204.

作者简介:

张琳女, (1985-), 硕士, 讲师. 研究方向为数据挖掘技术、计算机教育. E-mail: zyzhanglin@163.com

(上接第 75 页)

该方法能校准 Nyquist 频率内的所有输入信号. 本文通过 MATLAB 搭建一个 8 好 Bit 的五通道模型仿真结果显示校准效果非常明显. 且该校准算法可以应用于任意通道数 TIADC 的通道间误差校准.

参考文献:

- [1] 吴光林. 多通道时间交叉 ADC 校准技术研究及实现 [D]. 南京: 东南大学, 2006.
- [1] Black W C, Hodges D A. Time interleaved converter arrays[J]. IEEE Journal of Solid-State Circuits, 1980, 15(6): 1022-1029.
- [3] 叶凡. 多通道时间交织模数转换器的校正与集成电路实现方法研究[D]. 上海: 复旦大学, 2010.
- [4] Lee Z M, Wang C Y, Wu T J. A CMOS 15 bit 125 MS/s time-interleaved ADC with digital background calibration [J]. IEEE Journal of Solid-State Circuits, 2007, 42(10): 2149-2160.
- [5] Hegong Wei, Peng Zhang, Datta Sahoo, et al. An 8 Bit 4 GS/s 120 mW CMOS ADC [J]. IEEE Journal of Sol-

id-State Circuits, 2014, 49(8): 1-4.

- [6] Jamal S M, Fu D H, Hurst P J, et al. A 10 b 120 Msample/s time-interleaved analog-to-digital converter with digital background calibration[J]. IEEE Journal of Solid-State Circuits, 2002, 37(12): 1618-1627.
- [7] 王韩. 6 位 2GSps 时间交织 ADC 设计[D]. 哈尔滨: 哈尔滨工业大学, 2007
- [8] Wang ChungYi, Wu JiehTsorng. A multiphase timing-skew calibration technique using Zero-Crossing Detection[J]. IEEE Journal of Solid-State Circuits, 2009, 56(6): 1102-1114.

作者简介:

王晓蕾女, (1978-), 博士, 副研究员, 硕士生导师. 研究为填混合集成电路设计.

王玉莹女, (1989-), 硕士研究生. 研究方向为混合集成电路设计.

陈红梅(通讯作者)女, (1986-), 博士, 讲师, 硕士生导师. 研究方向为高速数模混合集成电路设计.

E-mail: hmchen@hfut.edu.cn.